

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

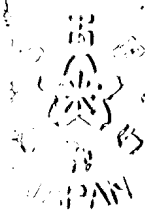
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                    2 0 0 2 年 1 1 月 2 0 日  
Date of Application:

出 願 番 号                    特 願 2 0 0 2 - 3 3 7 1 6 7  
Application Number:  
[ST. 10/C] :                    [ J P 2 0 0 2 - 3 3 7 1 6 7 ]

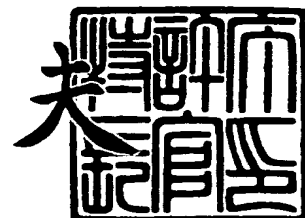
出      願      人                    松 下 電 器 産 業 株 式 会 社  
Applicant(s):



2 0 0 3 年    8 月 1 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 6 5 7 6 3

【書類名】 特許願

【整理番号】 2706440017

【提出日】 平成14年11月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/187  
H03B 5/12  
H03B 5/08

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 平岡 幸生

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 児島 裕貴

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変容量素子および可変容量素子内蔵集積回路

【特許請求の範囲】

【請求項 1】 半導体基板の上面部に前記半導体基板とは異なる導電型の半導体層により形成された埋込電極層と、前記埋込電極層の上方に形成され前記埋込電極層の取出し部と接続された配線層と、前記埋込電極層における前記取出し部を除く部分の上層に、平面形状が実質的に長方形の一对の領域として形成され、前記長方形の領域が一方の長辺側において互いに対向し、かつ、近接して配置された一对の容量絶縁膜と、前記一对の容量絶縁膜の他方の長辺側に各々接するように形成された絶縁体層と、前記一对の容量絶縁膜の上層及びそれに接する前記絶縁体層の上層に亘って各々形成された一对の導電体層と、前記容量絶縁膜に接する領域の前記絶縁体層の上方に形成されて前記一对の導電体層の取出し部と各々接続された配線層とを備え、

前記埋込電極層と前記一对の導電体層との間の電圧を各々変化させることによって前記埋込電極層と前記一对の導電体層との間の容量値を各々変化させることが可能な可変容量素子。

【請求項 2】 請求項 1 に記載の構成を有する可変容量素子を含む共振回路を備え、前記可変容量素子の埋込電極層に印加される電圧を変化させることにより前記埋込電極層と前記一对の導電体層との間の容量値を変化させることが可能であり、発振回路として動作する可変容量素子内蔵集積回路。

【請求項 3】 並列に接続された請求項 1 に記載の構成を有する可変容量素子を少なくとも 2 個含む共振回路と、レベル変換回路で得られる異なる電圧を各々の前記可変容量素子の埋込電極層に印加する手段とを備え、前記埋込電極層と前記一对の導電体層との間の容量値を変化させることが可能であり、発振回路として動作する可変容量素子内蔵集積回路。

【請求項 4】 前記共振回路に並列に接続された少なくとも 1 個の、請求項 1 に記載の構成を有する周波数レンジ切り替え用の可変容量素子と、各々の前記周波数レンジ切り替え用の可変容量素子の埋込電極層に印加する電圧を複数段階に切り替える手段とを備え、前記埋込電極層と前記一对の導電体層との間の容量値

を複数段階に変化させることを可能とした請求項 2 または 3 に記載の可変容量素子内蔵集積回路。

【請求項 5】 前記周波数レンジ切り替え用の可変容量素子の埋込電極層に印加する電圧を切り替える手段は、前記電圧を 2 段階に切り替えるように構成された請求項 4 に記載の可変容量素子内蔵集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、可変容量素子、特に高周波回路に用いられる集積回路に内蔵される可変容量素子に関する。

【0002】

【従来の技術】

近年、携帯電話などの移動体通信市場の発展にともない、回路の小型化、低コスト化などを目的として、インダクタ、キャパシタなど従来は単独部品であった素子の IC 集積化が重要となっている。このような素子の 1 つに可変容量素子がある。可変容量素子は、発振回路の発振周波数を変化させる用途などに用いられる。

【0003】

このような従来技術には、キャパシタの切替手段を有した VCO 回路を含む周波数シンセサイザ（例えば、特許文献 1 参照）、帯域スイッチされる集積電圧制御発振器（例えば、特許文献 2 参照）、可変容量素子を用いた周波数補正機能を付加した電圧制御発振器（たとえば、特許文献 3 参照）がある。

【0004】

図 6 (a) は、従来の IC 上に構成された可変容量素子の平面構造を示す。図 6 (b) は、図 6 (a) における B-B 断面を示す。同図において、301 は p 型シリコン基板、302 は n 型埋込電極層、303 は n 型表面電極層、304、309 は第 1、第 2 のゲート電極層、305、310 は第 1、第 2 のゲート酸化膜である。306、311 は第 1、第 2 のゲート電極側のビア、307、312 は第 1、第 2 のゲート電極側の配線層、308 は絶縁体層、313 は n 型埋込電極側のビア、314 は n 型埋込電極側の配線層である。

## 【 0 0 0 5 】

n 型埋込電極層302は、異なる導電型である p 型シリコン基板301の上層に形成されている。第 1、第 2 のゲート酸化膜305、310はそれぞれ長方形で、互いの一方の長辺を対向、かつ、近接させて形成されている。第 1、第 2 のゲート酸化膜305、310の短辺は、絶縁体層308に接して形成されている。第 1、第 2 のゲート酸化膜305、310の上層、および絶縁体層308の上層にそれぞれ、第 1、第 2 のゲート電極層304、309が形成されている。第 1、第 2 のゲート電極層304、309の取出し部は、第 1、第 2 のゲート酸化膜305、310を除く領域の、絶縁体層308の上方の配線層307、312と、ビア306、311で接続されている。n 型表面電極層303は、第 1、第 2 のゲート酸化膜305、310を除く n 型埋込電極層302の上面部に形成されている。n 型埋込電極層302の取出し部は、第 1、第 2 のゲート酸化膜305、310の他方の長辺に近接して配置され、n 型埋込電極側の配線層314とビア313で接続されている。

## 【 0 0 0 6 】

第 1、第 2 のゲート電極層304、309と n 型埋込電極層302間の電位差をそれぞれ変化させることにより、第 1、第 2 のゲート電極層304、309と n 型埋込電極層302間の M O S 接合の空乏層厚がそれぞれ変化する。これにより、第 1、第 2 のゲート電極層304、309と n 型埋込電極層302間の容量値がそれぞれ変化し、可変容量素子として動作する。また、n 型埋込電極層302とシリコン基板301の間は p n 接合の空乏層により分離されている。

## 【 0 0 0 7 】

同様の可変容量素子が、第 1、第 2 のゲート電極層304、309と p 型埋込電極層の間の M O S 接合を用いて構成されることもある。

## 【 0 0 0 8 】

## 【特許文献 1】

特開 2 0 0 1 - 3 3 9 3 0 1 号公報

## 【 0 0 0 9 】

## 【特許文献 2】

特開 2 0 0 1 - 1 9 6 8 5 3 号公報

## 【0010】

## 【特許文献3】

特開 2001-352218号公報

## 【0011】

## 【発明が解決しようとする課題】

上記の構成では、第1のゲート電極層304と第2のゲート電極層309は、各々の一方の長辺が対向、かつ、近接して形成されるため、それぞれの可変容量素子間のn型埋込電極層302に起因する寄生抵抗は小さくできる。しかしながら、第1、第2のゲート電極層304、309が長方形で、第1、第2のゲート電極側のビア306、311からそれぞれの可変容量素子までの距離が長くなるため、第1、第2のゲート電極層304、309に起因する寄生抵抗は大きくなる。したがって、それぞれの可変容量素子間の寄生抵抗が大きくなり、高周波信号の電力損失が大きくなるという課題を有していた。特に、発振回路の共振回路で用いる場合、それぞれの可変容量素子間の寄生抵抗が原因で、発振出力のノイズ特性を劣化させる。

## 【0012】

本発明は上記問題点に鑑み、第1、第2のゲート電極層304、309における寄生抵抗を小さくし、高周波信号の電力損失を低減させた可変容量素子を提供することを目的とする。

## 【0013】

## 【課題を解決するための手段】

上述の課題を解決するために、本発明の可変容量素子は、半導体基板の上面部に前記半導体基板とは異なる導電型の半導体層により形成された埋込電極層と、前記埋込電極層の上方に形成され前記埋込電極層の取出し部と接続された配線層と、前記埋込電極層における前記取出し部を除く部分の上層に、平面形状が実質的に長方形の一对の領域として形成され、前記長方形の領域が一方の長辺側において互いに対向し、かつ、近接して配置された一对の容量絶縁膜と、前記一对の容量絶縁膜の他方の長辺側に各々接するように形成された絶縁体層と、前記一对の容量絶縁膜の上層及びそれに接する前記絶縁体層の上層に亘って各々形成された一对の導電体層と、前記容量絶縁膜に接する領域の前記絶縁体層の上方に形成

されて前記一对の導電体層の取出し部と各々接続された配線層とを備える。前記埋込電極層と前記一对の導電体層との間の電圧を各々変化させることによって前記埋込電極層と前記一对の導電体層との間の容量値を各々変化させることが可能である。

#### 【0014】

##### 【発明の実施の形態】

本発明の可変容量素子は、半導体基板の上面部に形成された埋込電極層の上層に、実質的に長方形の第1、第2の容量絶縁膜が形成され、各容量絶縁膜がその一方の長辺側において対向し、かつ、近接して配置される点は、従来例と同様である。本発明の可変容量素子の特徴は、各容量絶縁膜の他方の長辺側に絶縁体層が接して形成され、第1、第2の容量絶縁膜の上層及びそれに接する絶縁体層の上層に亘って各々第1、第2の導電体層が形成される点である。第1、第2の導電体層の取出し部は、第1、第2の容量絶縁膜に接する領域の絶縁体層の上方の配線層と接続される。それにより、それぞれの可変容量素子間の埋込電極層に起因する寄生抵抗を大きくすることなく、第1、第2の導電体層のビアからそれぞれの可変容量素子までの距離が短くなるため、第1、第2の導電体層に起因する寄生抵抗は小さくなる。

#### 【0015】

したがって、それぞれの可変容量素子間の寄生抵抗が小さい可変容量素子を実現できる。特に、発振回路の共振回路で用いる場合は、それぞれの可変容量素子間の寄生抵抗を小さくできることにより、発振出力のノイズ特性が改善される。

#### 【0016】

上記構成の可変容量素子を用いて、本発明の可変容量素子内蔵集積回路が構成される。同回路は、上記構成の可変容量素子を含む共振回路を備え、前記可変容量素子の埋込電極層に印加される電圧を変化させることにより前記埋込電極層と前記一对の導電体層との間の容量値を変化させることが可能であり、発振回路として動作する。

#### 【0017】

また他の構成の可変容量素子内蔵集積回路においては、並列に接続された上記



構成の可変容量素子を少なくとも 2 個含む共振回路と、レベル変換回路で得られる異なる電圧を各々の前記可変容量素子の埋込電極層に印加する手段を備え、前記埋込電極層と前記一对の導電体層との間の容量値を変化させることが可能であり、発振回路として動作する。

#### 【0018】

上記のいずれかの可変容量素子内蔵集積回路において好ましくは、前記共振回路に並列に接続された少なくとも 1 個の、上記構成を有する周波数レンジ切り替え用の可変容量素子と、各々の前記周波数レンジ切り替え用の可変容量素子の埋込電極層に印加する電圧を複数段階に切り替える手段とを備え、前記埋込電極層と前記一对の導電体層との間の容量値を複数段階に変化させることを可能とする。

#### 【0019】

前記周波数レンジ切り替え用の可変容量素子の埋込電極層に印加する電圧を切り替える手段は、前記電圧を 2 段階に切り替えるように構成することができる。

#### 【0020】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

#### 【0021】

(実施の形態 1)

図 1 (a) は、実施の形態 1 における可変容量素子の平面構造を示す。図 1 (b) は、図 1 (a) における A-A 断面を示す。同図において、101 は p 型シリコン基板、102 は n 型埋込電極層、103 は n 型表面電極層、105、110 は第 1、第 2 のゲート酸化膜、108 は絶縁体層、104、109 は第 1、第 2 のゲート電極層、106、111 は第 1、第 2 のゲート電極側のビア、107、112 は第 1、第 2 のゲート電極側の配線層、113 は n 型埋込電極側のビア、114 は n 型埋込電極側の配線層である。

#### 【0022】

n 型埋込電極層 102 は、異なる導電型である p 型シリコン基板 101 の上層に形成されている。第 1、第 2 のゲート酸化膜 105、110 はそれぞれ、長方形であり、一方の長辺側において互いに対向し、かつ、近接して形成されている。第 1、第 2

のゲート酸化膜105、110の他方の長辺側に接して、絶縁体層108が形成されている。第1、第2のゲート酸化膜105、110の上層、及び、絶縁体層108の上層それぞれに亘って、第1、第2のゲート電極層104、109が形成されている。第1、第2のゲート酸化膜105、110を除く、絶縁体層108の上方に、第1、第2のゲート電極側配線層107、112が配置されている。第1、第2のゲート電極層104、109の取出し部は、第1、第2のゲート電極側のビア106、111により、第1、第2のゲート電極側配線層107、112と接続されている。

#### 【0023】

n型表面電極層103は、第1、第2のゲート酸化膜105、110を除く領域のn型埋込電極層102の上層に形成されている。n型埋込電極層102の取出し部は、第1、第2のゲート酸化膜105、110の短辺側に近接して配置されたn型埋込電極側配線層114と、n型埋込電極側のビア113により接続されている。

#### 【0024】

n型埋込電極層102と第1、第2のゲート電極層104、109との間の電圧をそれぞれ変化させることによって、n型埋込電極層102と第1、第2のゲート電極層104、109との間の容量値をそれぞれ変化させる。

#### 【0025】

ここで仮に、本実施の形態の第1、第2のゲート酸化膜105、110と、従来例の第1、第2のゲート酸化膜305、310の幅及び長さ、と、相対向している辺間の距離が同じであるものとする。その場合、本実施の形態の可変容量素子は、従来例と比較して、それぞれの可変容量素子間のn型埋込電極層102に起因する寄生抵抗は大きくなることなく、第1、第2のゲート電極層104、109に起因する寄生抵抗を小さくできる。

#### 【0026】

ここで、n型埋込電極層102とn型埋込電極側のビア113間の寄生抵抗は大きくなるが、差動型発振回路の共振回路で用いる場合は、それぞれの可変容量素子間の寄生抵抗が小さくできており、仮想接地点での寄生抵抗が大きくなるだけなので、発振出力のノイズ特性としての特性劣化に対する実質的な影響はない。

#### 【0027】

このような構成により、それぞれの可変容量素子間の寄生抵抗を小さくした可変容量素子を実現できる。

#### 【0028】

また、本実施の形態の構成において、n型埋込電極層102の代わりにp型埋込電極層を、n型表面電極層103の代わりにp型表面電極層を用いてもよい。

#### 【0029】

(実施の形態2)

図2(a)は、実施の形態2における可変容量内蔵集積回路を示す回路図である。この回路は、本発明の可変容量素子を発振回路に応用した第1の例である。同図において、201は実施の形態1に示した構成を有する可変容量素子、202、203は第1、第2の共振用コイル、204、205は第1、第2のCMOSトランジスタ、206は電流源、207は周波数制御端子、208、209は第1、第2の発振出力端子である。

#### 【0030】

第1の発振出力端子208は、可変容量素子201の第1のゲート電極層端子、第1のCMOSトランジスタ204のドレイン端子、及び第2のCMOSトランジスタ205のゲート端子に接続され、第1の共振用コイル202を介して電源端子VDDに接続される。第2の発振出力端子209は、可変容量素子201の第2のゲート電極層端子、第2のCMOSトランジスタ205のドレイン端子、及び第1のCMOSトランジスタ204のゲート端子に接続され、第2の共振用コイル203を介して電源端子VDDに接続される。第1のCMOSトランジスタ204のソース端子は第2のCMOSトランジスタ205のソース端子に接続され、電流源206を介して接地される。周波数制御端子207は、可変容量素子201のn型埋込電極層端子に接続される。

#### 【0031】

図2(b)は、発振周波数制御端子207の制御電圧に対する、可変容量素子201の容量値の関係を示す特性図である。

#### 【0032】

上述のような構成で、発振出力の周波数を変える可変容量素子201として実施の形態1の構成を有する可変容量素子を用いることにより、ノイズ特性のよい発

振回路を実現できる。

### 【0033】

なお、本回路はNMOS型クロスカップル発振回路であるが、PMOS型クロスカップル発振回路の場合でも、本実施の形態の構成を適用して、同様の効果を実現することが可能である。

### 【0034】

(実施の形態3)

図3(a)は、実施の形態3における可変容量内蔵集積回路を示す回路図である。この回路は、本発明の可変容量素子を、発振回路に応用した第2の例である。同図において、201A、201B、201Cは実施の形態1に示した構成を有する可変容量素子、202、203は第1、第2の共振用コイル、204、205は第1、第2のCMOSトランジスタ、206は電流源、207は周波数制御端子、208、209は第1、第2の発振出力端子、210はレベル変換回路である。

### 【0035】

第1の発振出力端子208は、可変容量素子201A、201B、201Cの各第1のゲート電極層端子、第1のCMOSトランジスタ204のドレイン端子、及び第2のCMOSトランジスタ205のゲート端子に接続され、第1の共振用コイル202を介して電源端子VDDに接続される。第2の発振出力端子209は、可変容量素子201A、201B、201Cの各第2のゲート電極層端子、第2のCMOSトランジスタ205のドレイン端子、及び第1のCMOSトランジスタ204のゲート端子に接続され、第2の共振用コイル203を介して電源端子VDDに接続される。第1のCMOSトランジスタ204のソース端子は、第2のCMOSトランジスタ205のソース端子に接続され、電流源206を介して接地される。周波数制御端子207は、レベル変換回路210を介して可変容量素子201A、201B、201Cの各n型埋込電極層端子に接続される。

### 【0036】

図3(b)は、発振周波数制御端子207の制御電圧に対する、可変容量素子201A、201B、201Cの各容量値及び合成した容量値の関係を示す特性図である。

### 【0037】

上述のような構成で、発振出力の周波数を変える可変容量素子201A、201B、20

1Cとして実施の形態1の構成を有する3つの可変容量素子を用い、レベル変換回路210を付加しそれぞれ異なる制御電圧を与えることにより、広い制御電圧範囲を持つノイズ特性のよい発振回路を実現できる。

#### 【0038】

なお、本回路はNMOS型クロスカップル発振回路であるが、PMOS型クロスカップル発振回路の場合でも、本実施の形態の構成を適用して、同様の効果を実現することが可能である。

#### 【0039】

(実施の形態4)

図4(a)は、実施の形態4における可変容量内蔵集積回路示す回路図である。この回路は、本発明の可変容量素子を発振回路に応用した第3の例である。同図において、201A、201Dは実施の形態1に示した構成を有する可変容量素子、202、203は第1、第2の共振用コイル、204、205は第1、第2のCMOSトランジスタ、206は電流源、207は周波数制御端子、211は周波数レンジ切替制御端子、208、209は第1、第2の発振出力端子である。

#### 【0040】

第1の発振出力端子208は、可変容量素子201A、201Dの各第1のゲート電極層端子、第1のCMOSトランジスタ204のドレイン端子、及び第2のCMOSトランジスタ205のゲート端子に接続され、第1の共振用コイル202を介して電源端子VDDに接続される。第2の発振出力端子209は、可変容量素子201A、201Dの各第2のゲート電極層端子、第2のCMOSトランジスタ205のドレイン端子、及び第1のCMOSトランジスタ204のゲート端子に接続され、第2の共振用コイル203を介して電源端子VDDに接続される。第1のCMOSトランジスタ204のソース端子は第2のCMOSトランジスタ205のソース端子に接続され、電流源206を介して接地される。周波数制御端子207は、可変容量素子201Aのn型埋込電極層端子に接続され、周波数レンジ切替端子211は可変容量素子201Dのn型埋込電極層端子に接続される。

#### 【0041】

図4(b)は、周波数レンジ切替端子211を切り替えた各々の場合の、発振周波数

制御端子207の制御電圧に対する、可変容量素子201A、201Dを合成した容量値の関係を示す特性図である。

#### 【0042】

上述のような構成で、発振出力の周波数を変える可変容量素子201A、201Dとして実施の形態1の構成を有する2つの可変容量素子を用い、周波数レンジ切替を行い制御電圧を与えることにより、曲線a、bで示される2つの周波数レンジを持つノイズ特性のよい発振回路を実現できる。

#### 【0043】

なお、本回路はNMOS型クロスカップル発振回路であるが、PMOS型クロスカップル発振回路の場合でも、本実施の形態の構成を適用して、同様の効果を実現することが可能である。

#### 【0044】

(実施の形態5)

図5(a)は、実施の形態5における可変容量内蔵集積回路を示す回路図である。この回路は、本発明の可変容量素子を発振回路に応用した第4の例である。同図において、201A、201B、201C、201Dは実施の形態1に示した構成を有する可変容量素子、202、203は第1、第2の共振用コイル、204、205は第1、第2のCMOSトランジスタ、206は電流源、207は周波数制御端子、211は周波数レンジ切替制御端子、208、209は第1、第2の発振出力端子、210はレベル変換回路である。

#### 【0045】

第1の発振出力端子208は、可変容量素子201A、201B、201C、201Dの各第1のゲート電極層端子、第1のCMOSトランジスタ204のドレイン端子、及び第2のCMOSトランジスタ205のゲート端子に接続され、第1の共振用コイル202を介して電源端子VDDに接続される。第2の発振出力端子209は、可変容量素子201A、201B、201C、201Dの各第2のゲート電極層端子、第2のCMOSトランジスタ205のドレイン端子、及び第1のCMOSトランジスタ204のゲート端子に接続され、第2の共振用コイル203を介して電源端子VDDに接続される。第1のCMOSトランジスタ204のソース端子は第2のCMOSトランジスタ205のソース端子に

接続され、電流源206を介して接地される。周波数制御端子207はレベル変換回路210を介して可変容量素子201A、201B、201Cの各 n 型埋込電極層端子に接続され、周波数レンジ切替端子211は可変容量素子201Dの n 型埋込電極層端子に接続される。

#### 【 0 0 4 6 】

図 5 (b)は、周波数レンジ切替端子211を切り替えた各々の場合の、発振周波数制御端子207の制御電圧に対する、可変容量素子201A、201B、201C、201Dを合成した各容量値の関係を示す特性図である。

#### 【 0 0 4 7 】

上述のような構成で、発振出力の周波数を変える可変容量素子201A、201B、201C、201Dとして実施の形態 1 の構成を有する 4 つの可変容量素子を用い、レベル変換回路210を付加しそれぞれ異なる制御電圧を与え、曲線 c、d で示される周波数レンジ切替を行い制御電圧を与えることにより、広い制御電圧範囲と 2 つの周波数レンジを持つ、ノイズ特性のよい発振回路を実現できる。

#### 【 0 0 4 8 】

なお、本回路はNMOS型クロスカップル発振回路であるが、PMOS型クロスカップル発振回路の場合でも、本実施の形態の構成を適用して、同様の効果を実現することが可能である。

#### 【 0 0 4 9 】

##### 【発明の効果】

本発明によれば、容量絶縁膜の上層の電極を形成する導電体層における寄生抵抗を小さくし、従ってそれぞれの可変容量素子間の寄生抵抗を小さくした可変容量素子を実現できる。

#### 【 0 0 5 0 】

また、本発明を発振回路の共振回路に適用すればノイズ特性のよい発振回路を実現できる。

##### 【図面の簡単な説明】

【図 1】 (a)は実施の形態 1 における可変容量素子の上面図、(b)は同可変容量素子の A - A 断面図

【図 2】 (a)は実施の形態 2 における可変容量素子内蔵集積回路の回路図、(b)は同可変容量素子内蔵集積回路の特性図

【図 3】 (a)は実施の形態 3 における可変容量素子内蔵集積回路の回路図、(b)は同可変容量素子内蔵集積回路の特性図

【図 4】 (a)は実施の形態 4 における可変容量素子内蔵集積回路の回路図、(b)は同可変容量素子内蔵集積回路の特性図

【図 5】 (a)は実施の形態 5 における可変容量素子内蔵集積回路の回路図、(b)は同可変容量素子内蔵集積回路の特性図

【図 6】 (a)は従来例の可変容量素子の上面図、(b)は同可変容量素子の B - B 断面図

【符号の説明】

- 101、301 p 型シリコン基板
- 102、302 n 型埋込電極層
- 103、303 n 型表面電極層
- 104、304 第 1 のゲート電極層
- 105、305 第 1 のゲート酸化膜
- 106、306 第 1 のゲート電極側のビア
- 107、307 第 1 のゲート電極側の配線層
- 108、308 絶縁体層
- 109、309 第 2 のゲート電極層
- 110、310 第 2 のゲート酸化膜
- 111、311 第 2 のゲート電極側のビア
- 112、312 第 2 のゲート電極側の配線層
- 113、313 n 型埋込電極側のビア
- 314 n 型埋込電極側の配線層
- 201、201A、201B、201C、201D 可変容量素子
- 202、203 共振用コイル
- 204、205 CMOS トランジスタ
- 206 電流源



207 周波数制御端子

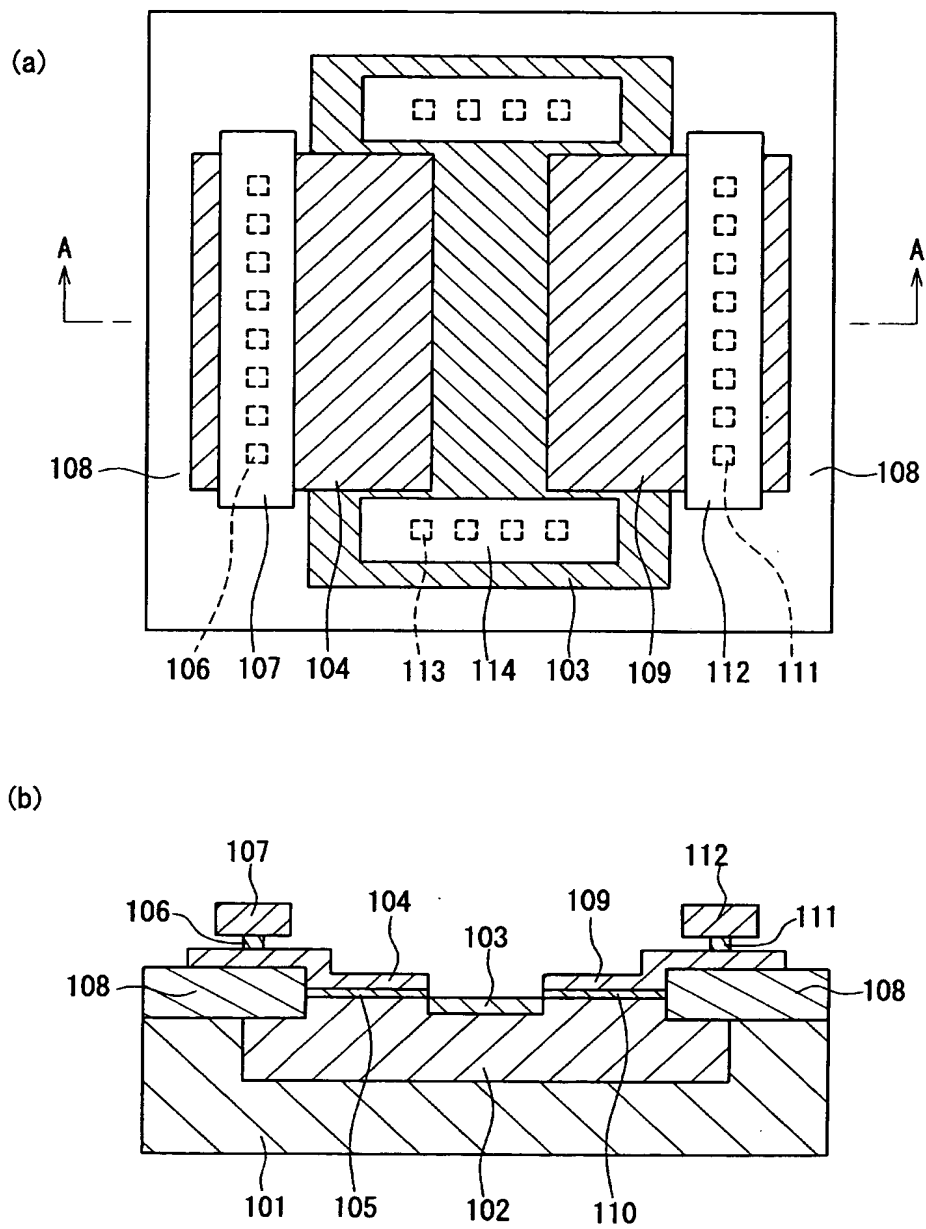
208、209 発振出力端子

210 レベル変換回路

211 周波数レンジ切替制御端子

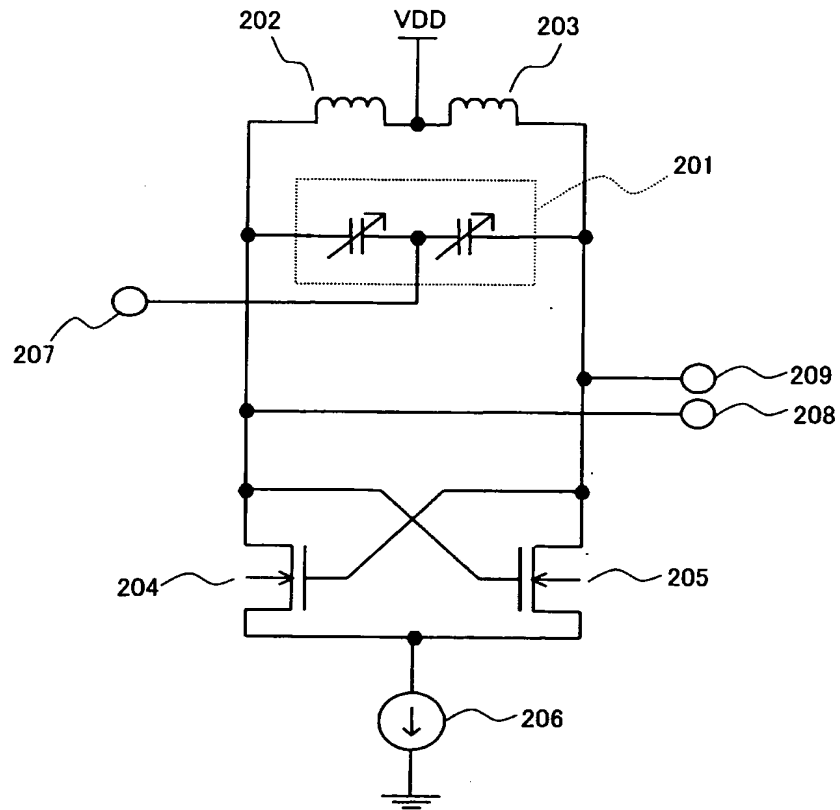
【書類名】 図面

【図 1】

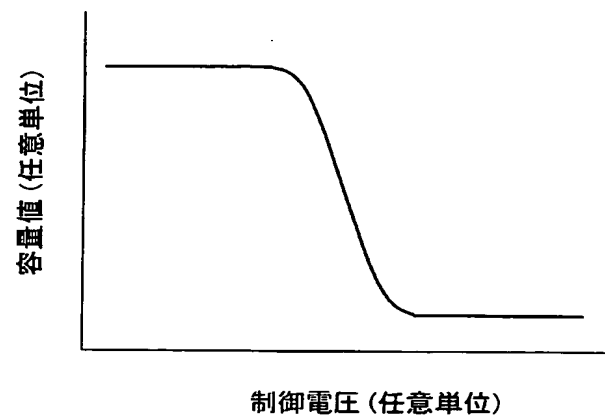


【図 2】

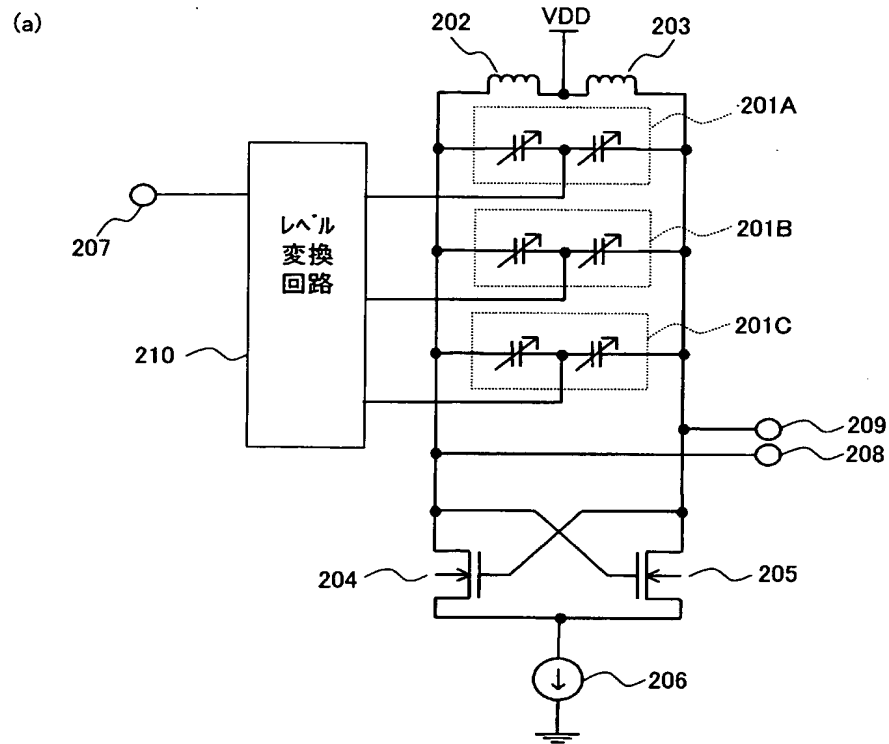
(a)



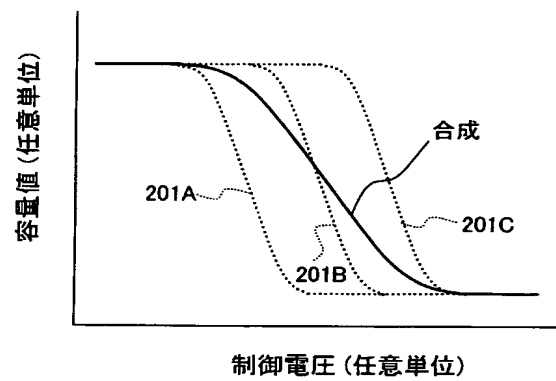
(b)



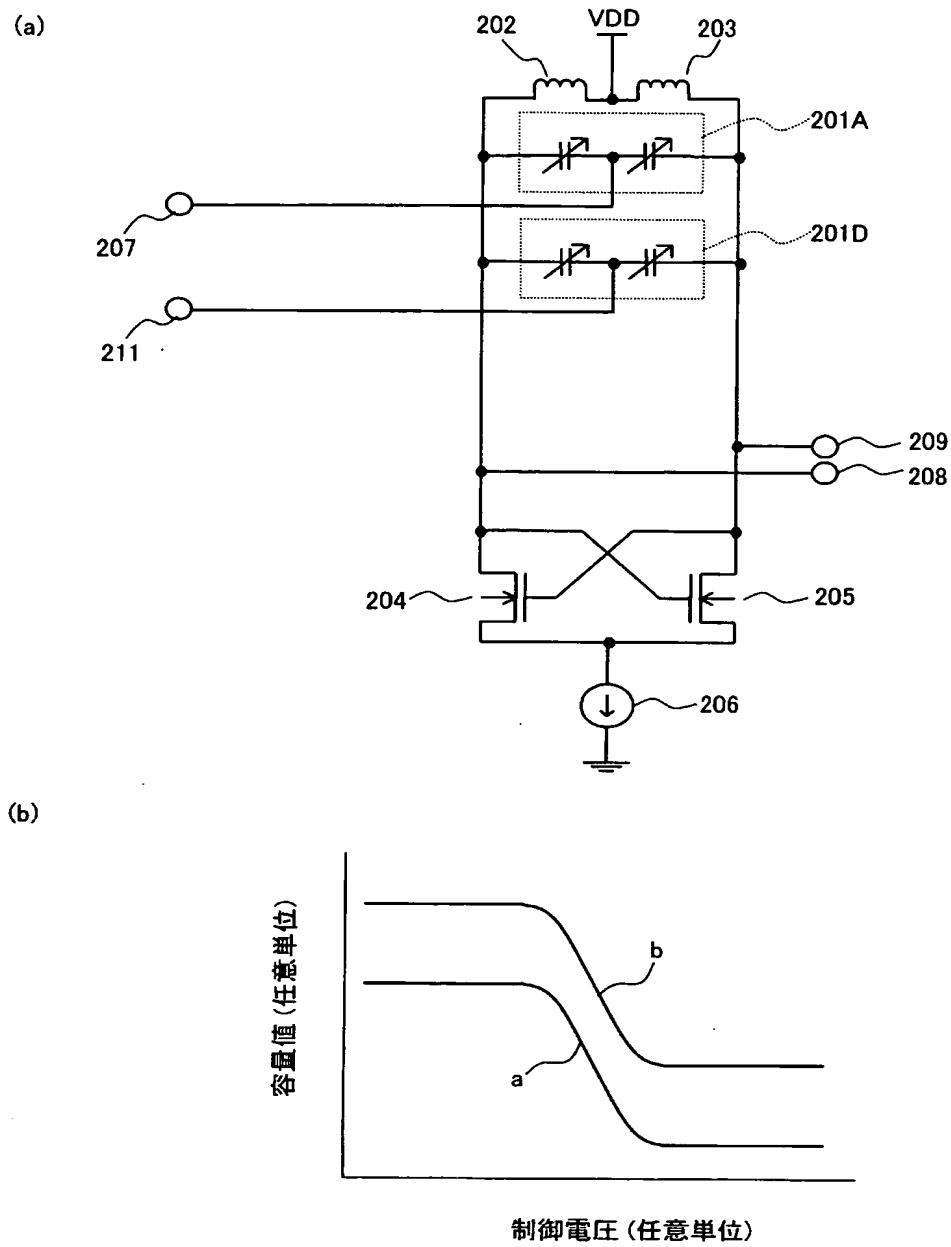
【図 3】



(b)

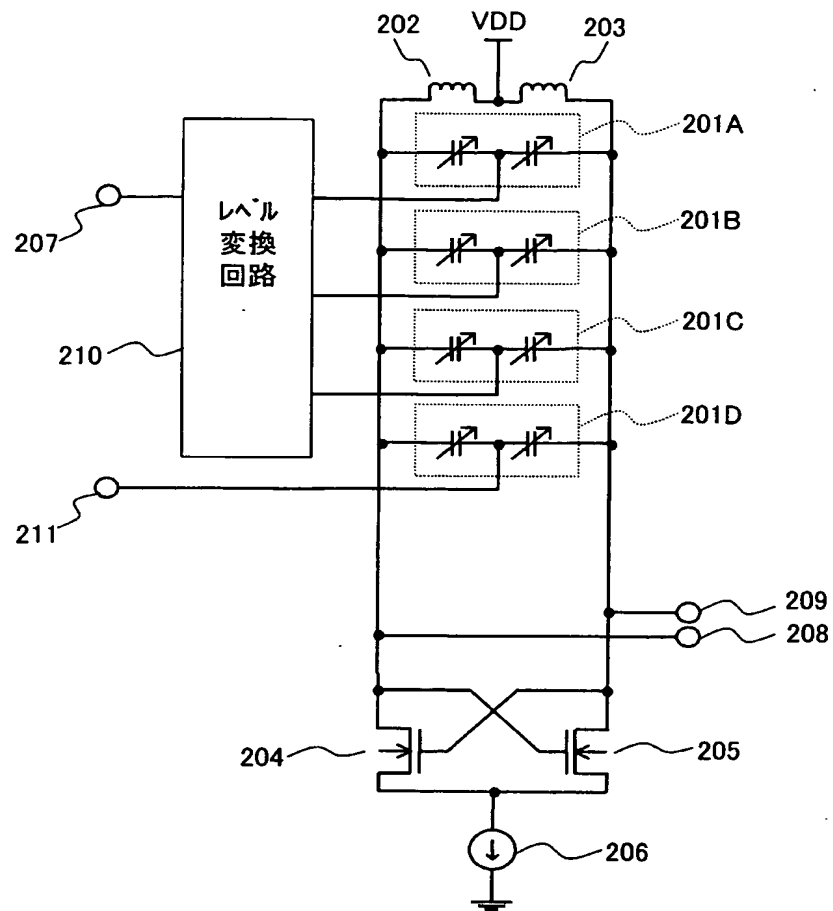


【図 4】

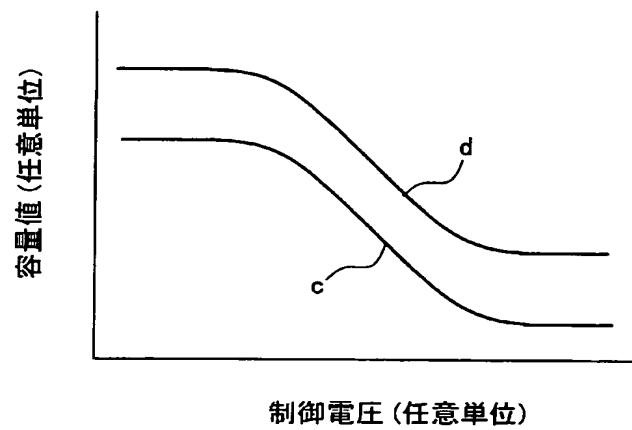


【図 5】

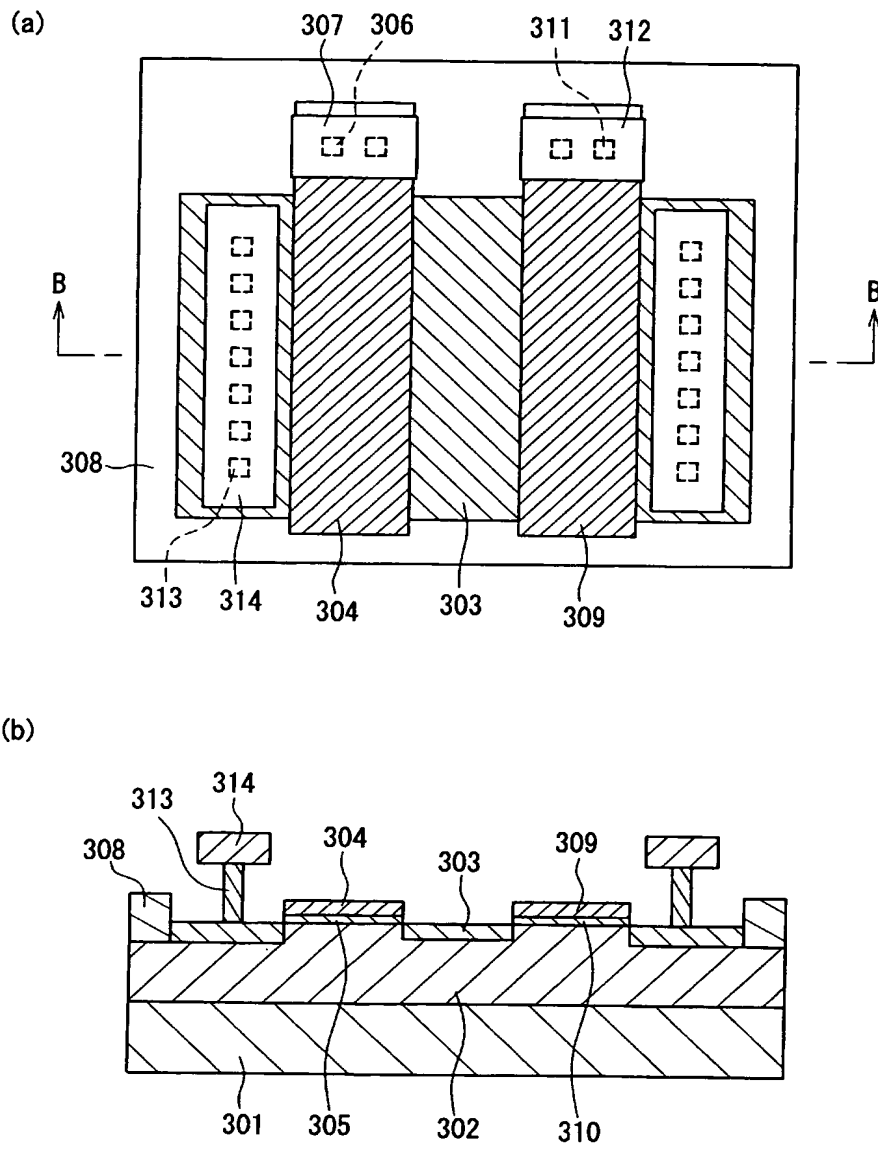
(a)



(b)



【図 6】



【書類名】 要約書

【要約】

【課題】 シリコン I C 上に構成されたそれぞれの可変容量素子間の寄生抵抗を小さくした可変容量素子を提供する。

【解決手段】 半導体基板とは異なる導電型の埋込電極層102と、埋込電極層の取出し部と接続された配線層114と、埋込電極層における取出し部を除く部分の上層に、平面形状が長方形の一对の領域として、長方形の一方の長辺を互いに対向させて配置された一对の容量絶縁膜105、110と、容量絶縁膜の他方の長辺に接するように形成された絶縁体層108と、容量絶縁膜及び絶縁体層の上層に亘って各々形成された一对の導電体層104、109と、容量絶縁膜に接する領域の絶縁体層の上方に形成され各導電体層の取出し部と各々接続された配線層107、112とを備える。埋込電極層と導電体層の間の電圧を変化させることによって埋込電極層と導電体層との間の容量値を変化させることが可能である。

【選択図】 図 1



特願 2 0 0 2 - 3 3 7 1 6 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社